



# EMBEDDED SYSTEMS

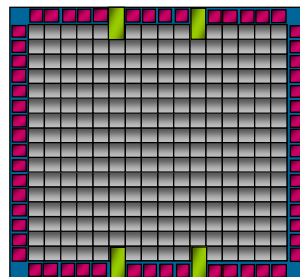
## FIELD PROGRAMMABLE GATE ARRAY (FPGA)

Mihalis Psarakis

### FPGA: Field Programmable Gate Array

2

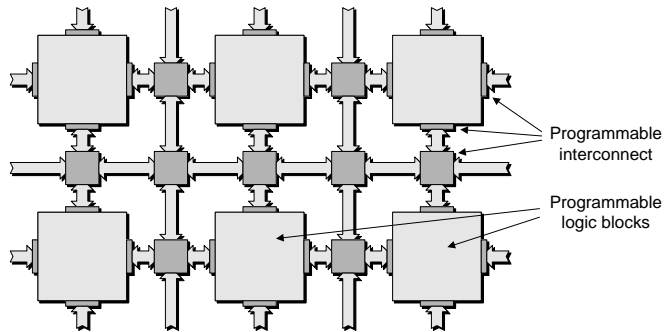
- **Τι είναι ένα FPGA;** Όλα τα είδη υλικού ...
  - I/O Cells
  - Logic Cells
  - Memories
  - Microprocessors
  - Clock Management
  - High Speed I/O Transceivers
  - Programmable routing



# FPGAs

3

- Προγραμματιζόμενες συσκευές λογικής
  - ▣ Λογικά μπλοκ (logic blocks)
  - ▣ Διασύνδεση (interconnect)



## Ενότητα 2

4

- Βασικές έννοιες: τεχνολογίες προγραμματισμού
- Πλεονεκτήματα & μειονεκτήματα των τεχνολογιών προγραμματισμού

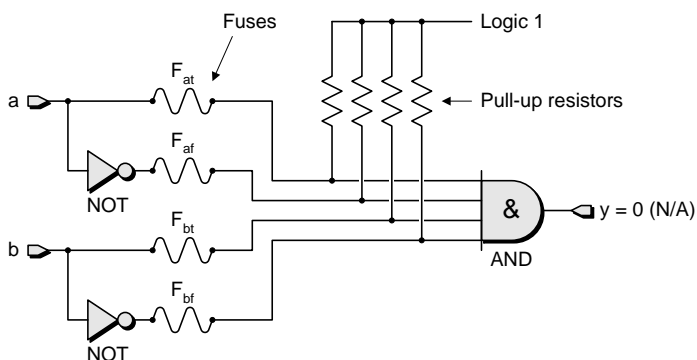
## Τεχνολογίες προγραμματισμού

5

- **Antifuse**
  - Μη-πτητική μνήμη (non-volatile)
  - Προγραμματίζεται μία φορά (one-time programmable, OTP)
- **Flash**
  - Μη-πτητική μνήμη (non-volatile)
  - Επανα-προγραμματίζεται (re-programmable)
- **SRAM**
  - Πτητική μνήμη (volatile)

## Τεχνολογία εύτηκτων συνδέσεων (fusible-link)

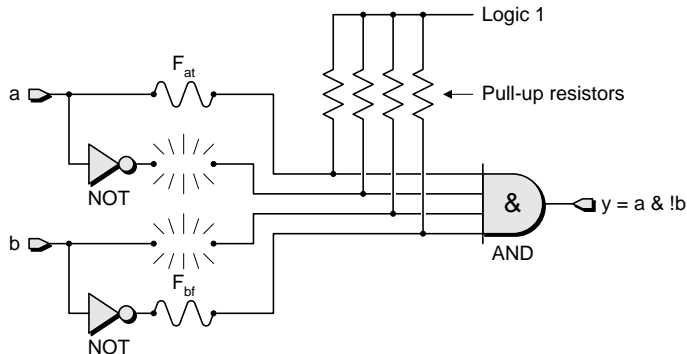
6



- Αρχικά όλες οι **ασφάλειες (fuses)** κάνουν επαφή
- Μπορούμε να απομακρύνουμε επιλεκτικά κάποιες ασφάλειες, εφαρμόζοντας παλμούς υψηλής τάσης και ρεύματος

## Programmed fusible links

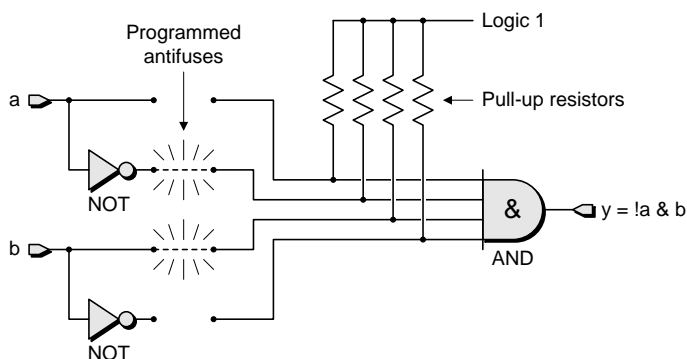
7



- Η διαδικασία ονομάζεται **προγραμματισμός (programming)** ή **κάψιμο (blowing, burning)** της συσκευής
- Οι συσκευές αυτής της τεχνολογίας προγραμματίζονται μόνο μία φορά (**one-time programmable, OTP**)

## Τεχνολογίας αντι-ασφάλειας (antifuse)

8



- Η τεχνολογία **antifuse** είναι η αντιδιαμετρική εναλλακτική λύση της τεχνολογίας fuse
- Μία αντι-ασφάλεια (antifuse) έχει υψηλή αντίσταση, ώστε μπορεί να θεωρηθεί ως **ανοικτο-κύκλωμα (open circuit)**

## Τεχνολογία Flash

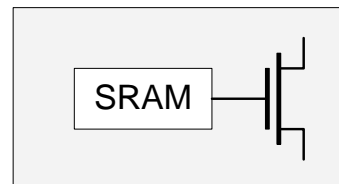
9

- Μικρός χρόνος διαγραφής σε σύγκριση με την τεχνολογία EPROM
- Διαφορετικές flash αρχιτεκτονικές
  - ▣ Κυψέλη μονού transistor (όπως η EPROM)
    - Διαγραφή μεγάλων τμημάτων ή ολόκληρης της συσκευής
  - ▣ Κυψέλη δυο transistor (όπως η EEPROM)
    - Διαγραφή και επαναπρογραμματισμός σε επίπεδο λέξης

## Τεχνολογία SRAM

10

- Πτητική μνήμη
- Η κυψέλη περιέχει
  - Στοιχείο μνήμης SRAM με πολλά transistor (4 ή 6)
  - Transistor ελέγχου
  - Ανάλογα με την τιμή του στοιχείου μνήμης το transistor είναι ON ή OFF
- Μια SRAM κυψέλη είναι μεγαλύτερη από μία EPROM ή flash κυψέλη



## Σύγκριση τεχνολογιών

11

Στοιχείο	SRAM	Antifuse	FLASH
Τεχνολογία	State-of-the-art	Μια ή περισσότερες γενιές πίσω	Μια ή περισσότερες γενιές πίσω
Επαναπρογραμματιζόμενο	Ναι (in system)	Όχι	Ναι (in-system ή offline)
Ταχύτητα προγραμματισμού (συν διαγραφή)	Γρήγορη	---	3x πιο αργή από την SRAM
Πηπική (προγραμματίζεται στο power-up)	Ναι	Όχι	Όχι (αλλά είναι εφικτό)
Απαιτεί εξωτερικό αρχείο	Ναι	Όχι	Όχι
Ιδανικό για πρωτότυπα	Ναι (πολύ καλό)	Όχι	Ναι (μέτρια λύση)
Άμεση ενεργοποίηση	Όχι	Ναι	Ναι
Ασφάλεια IP	Αποδεκτή (εδικά όταν χρησιμοποιείται κρυπτογράφηση bitstream)	Πολύ καλή	Πολύ καλή
Μέγεθος κυψέλης διαμόρφωσης	Μεγάλο (έξι transistors)	Πολύ μικρό	Μέτριο-μικρό (δύο transistors)
Κατανάλωση ισχύος	Υψηλή	Χαμηλή	Μέτρια
Ανεκτικά στην ακτινοβολία	Όχι	Ναι	Όχι ιδιαίτερα

## Ενότητα 3

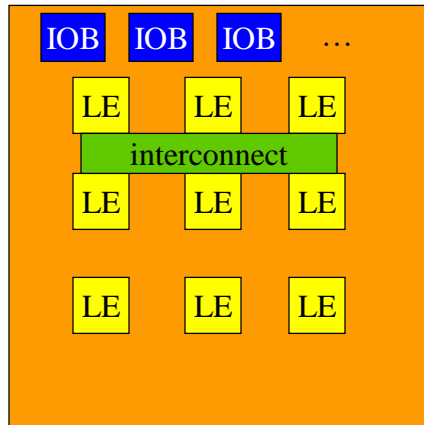
12

- Δομή των FPGAs
- Ποια είναι τα συστατικά στοιχεία των FPGAs;

## Βασικά στοιχεία μίας δομής FPGA

13

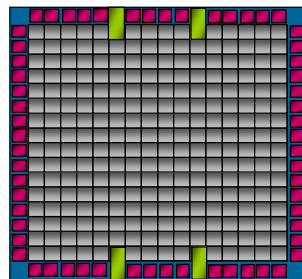
- Λογικά στοιχεία (logic elements)
- Διασύνδεση (interconnect)
- Μπλοκ εισόδου/εξόδου (I/O blocks)



## FPGA fabric

14

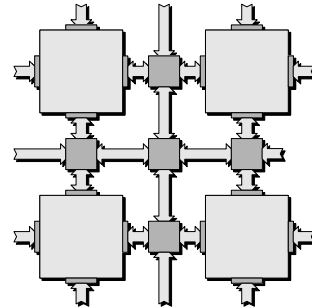
- Η δομή ενός FPGA μας παρέχει πολλές δυνατότητες ...
  - Logic Cells
  - Programmable routing
  - I/O Cells
  - Memories
  - Microprocessors
  - Clock Management
  - High Speed I/O Transceivers



## Λογικά στοιχεία

15

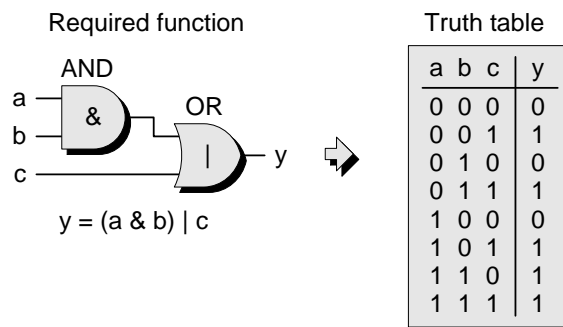
- Περιλαμβάνουν συνδυαστική συνάρτηση και καταχωρητές
- Χρησιμοποιούν μνήμη SRAM σαν πίνακες αναζήτησης (lookup table, LUT) για τη συνδυαστική συνάρτηση
- Μικρότερο επίπεδο λεπτομέρειας σε σύγκριση με τις λογικές πύλες
- Παρέχουν επιπλέον εξειδικευμένη λογική



## Παράδειγμα λογικού στοιχείου

16

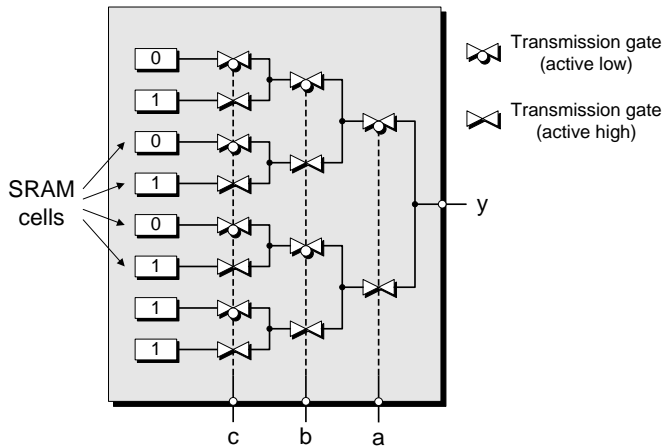
- **LUT-based logic element**
  - Υλοποίηση λογικού στοιχείου με χρήση πίνακα αναζήτησης (**LookUp Table, LUT**)





## Transmission gate-based LUT

17



## Πόσες εισόδους πρέπει να έχει το LUT;

18

- Ένα LUT  $n$ -εισόδων μπορεί να υλοποιήσει όλες τις πιθανές συνδυαστικές συναρτήσεις των  $n$ -εισόδων
- Προσθέτοντας μία ακόμα είσοδο στο LUT
  - ▣ Είναι δυνατή η αναπαράσταση πιο σύνθετων συναρτήσεων
  - ▣ Διπλασιάζουμε το μέγεθος της SRAM
- Μελέτες έχουν δείξει ότι τα LUT 4-εισόδων είναι μια «καλή» λύση

## Αξιολόγηση SRAM-based LUT

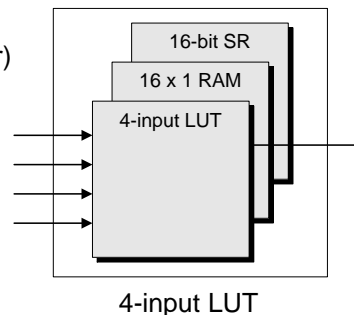
19

- Όλες οι συναρτήσεις καταλαμβάνουν τον ίδιο χώρο
- Όλες οι συναρτήσεις έχουν την ίδια καθυστέρηση
- Η μνήμη SRAM είναι μεγαλύτερη από το ισοδύναμο κύκλωμα πυλών
- Καταναλώνει ενέργεια σε κατάσταση αδράνειας (idle state)

## Πολλαπλές λειτουργίες του LUT

20

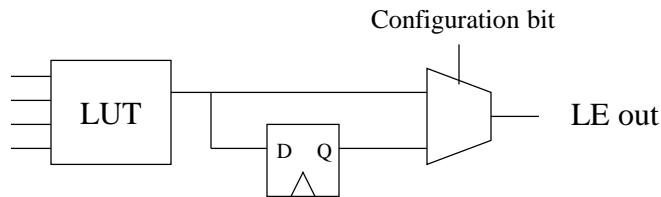
- Εκτός από τη βασική τους λειτουργία, κάποιοι κατασκευαστές παρέχουν τη δυνατότητα στα LUTs να λειτουργήσουν ως:
  - ▣ Μικρό μπλοκ RAM
  - ▣ Καταχωρητής ολίσθησης (shift register)
- Για παράδειγμα ένα LUT 4-εισόδων μπορεί να λειτουργήσει ως
  - ▣  $16 \times 1$  RAM
  - ▣ 16-bit καταχωρητής ολίσθησης



## Καταχωρητές στα λογικά στοιχεία

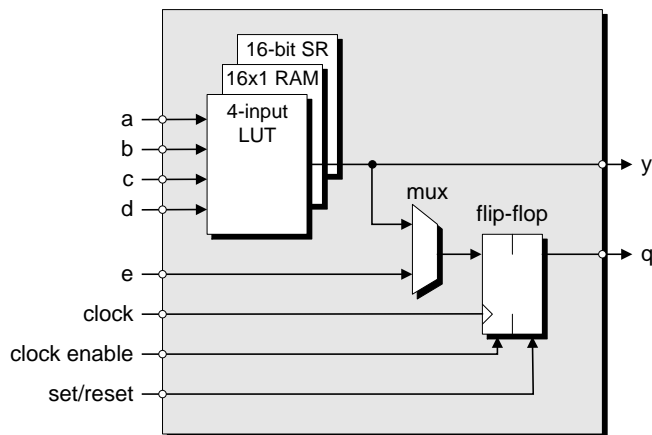
21

- Μπορεί να επιλεγεί καταχωρητής στην έξοδο του λογικού στοιχείου:



## Xilinx logic cell (LC)

22

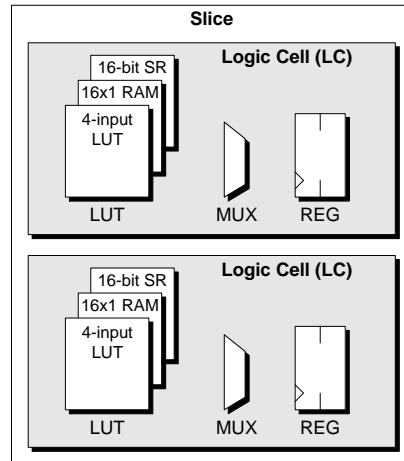


Απλοποιημένη μορφή ενός λογικού στοιχείου της Xilinx

## Xilinx slice

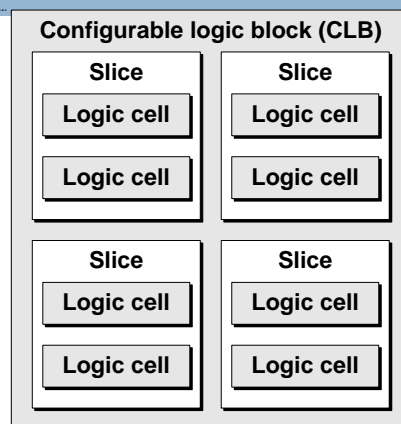
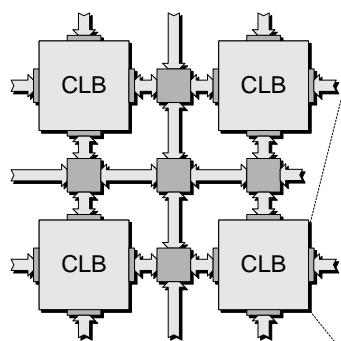
23

- Ιεραρχία στα λογικά στοιχεία
- Ένα Xilinx slice περιέχει 2 logic cells



## Xilinx configurable logic block (CLB)

24



- Ένα Xilinx CLB περιέχει 4 slices και 8 logic cells
  - ο αριθμός των slices και των LCs εξαρτάται από την οικογένεια

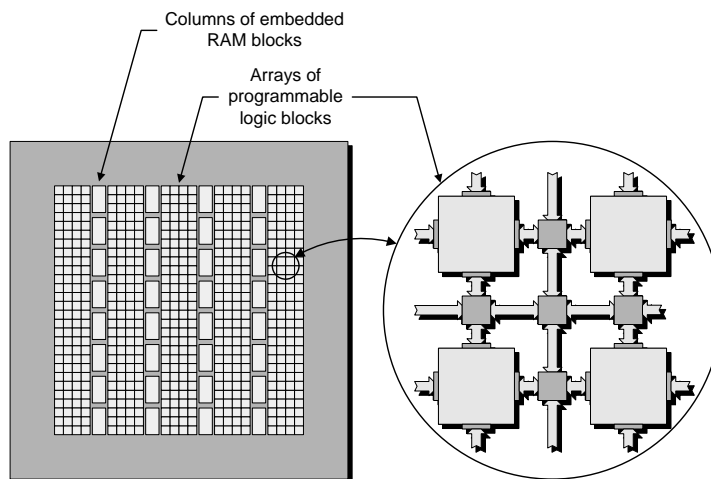
## Ενσωματωμένες RAMs

25

- Λόγω της ανάγκης πολλών εφαρμογών για μεγάλη διαθέσιμη μνήμη, πολλές FPGA συσκευές ενσωματώνουν RAM μπλοκ
- Ανάλογα με την αρχιτεκτονική του FPGA τα RAM μπλοκ μπορεί να βρίσκονται στην περιφέρεια της συσκευής ή να είναι οργανωμένα σε στήλες
- Κάθε RAM μπλοκ μπορεί να χρησιμοποιηθεί ανεξάρτητα ή να συνδυαστούν πολλά μαζί ώστε να υλοποιήσουν μια μεγαλύτερη μνήμη
- Μπορούν να χρησιμοποιηθούν σε ποικιλία εφαρμογών
  - ▣ Single-port RAM
  - ▣ Dual-port RAM
  - ▣ FIFO

## Ενσωματωμένες RAMs

26



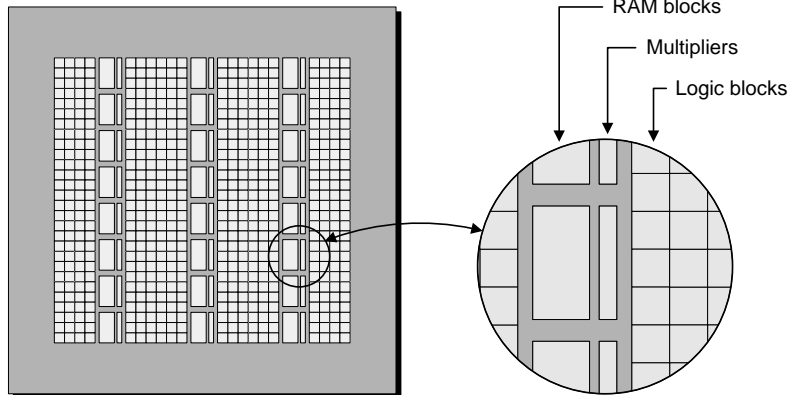
## Ενσωματωμένες αριθμητικές μονάδες

27

- Κάποιες αριθμητικές συναρτήσεις, όπως ο πολλαπλασιασμός, είναι αργές όταν υλοποιηθούν από έναν αριθμό λογικών στοιχείων
- Πολλές FPGA συσκευές ενσωματώνουν τέτοιες αριθμητικές μονάδες
  - ▣ Πολλαπλασιαστές (multipliers)
  - ▣ Αθροιστές (adders)
  - ▣ Πολλαπλασιαστές-Συσσωρευτές (Multiple-Accumulate, MAC)
- Οι ενσωματωμένες αριθμητικές μονάδες μαζί με τις ενσωματωμένες μνήμες κάνουν ιδανική τη χρήση των FPGAs σε εφαρμογές ψηφιακής επεξεργασίας σήματος (digital signal processing)

## Ενσωματωμένες αριθμητικές μονάδες

28



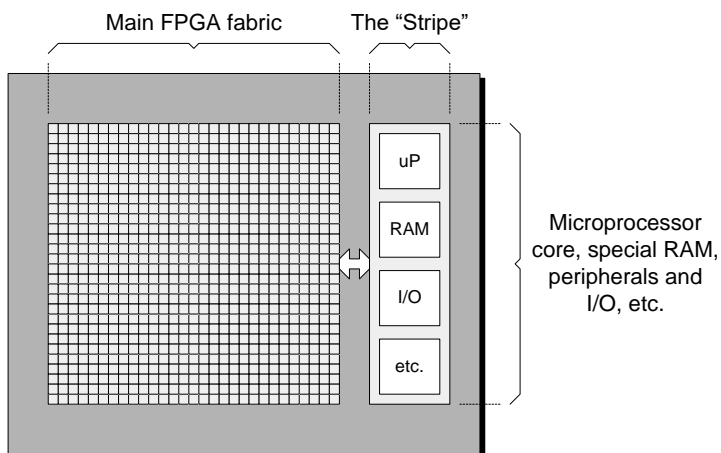
## Ενσωματωμένοι επεξεργαστές

29

- Προηγμένες FPGA συσκευές ενσωματώνουν πυρήνες επεξεργαστών (microprocessor cores)
  - Χρήσιμοι σε εφαρμογές όπου απαιτείται επεξεργαστής
- Δύο τύποι πυρήνων:
  - Hard cores
    - Ενσωματώνονται στη δομή του τσιπ ως φυσικές μονάδες
    - Δεν είναι δυνατόν να τροποποιηθούν από το χρήστη
  - Soft cores
    - Υλοποιούνται από τα προγραμματιζόμενα λογικά στοιχεία του FPGA
    - Είναι δυνατόν να τροποποιηθούν και να προσαρμοστούν στις ανάγκες του χρήστη

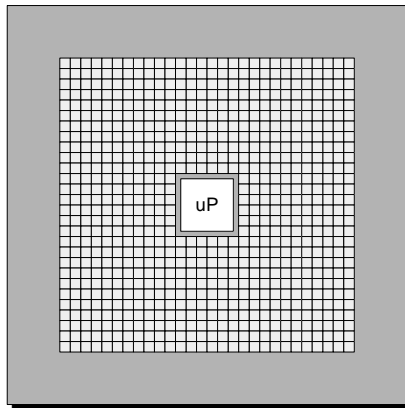
## Hard microprocessor cores

30

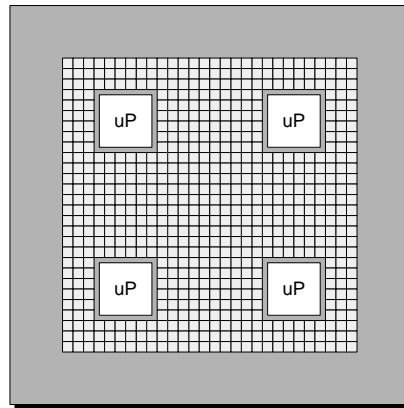


## Hard microprocessor cores

31



(a) One embedded core



(b) Four embedded cores

## Προγραμματιζόμενη καλωδίωση

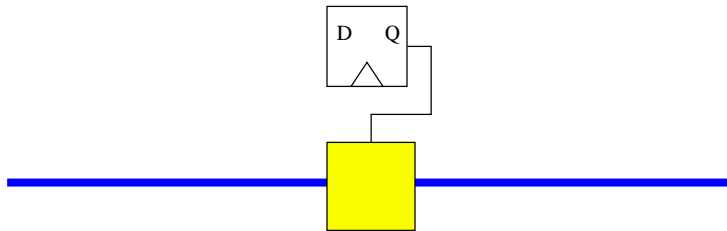
32

- Τα καλώδια οργανώνονται σε κανάλια
  - ▣ πολλά καλώδια ανά κανάλι
- Οι συνδέσεις μεταξύ των καλωδίων υλοποιούνται στα προγραμματιζόμενα σημεία διασύνδεσης
- Πρέπει να επιλεγούν:
  - ▣ κανάλια από την πηγή στον προορισμό
  - ▣ καλώδια εντός των καναλιών



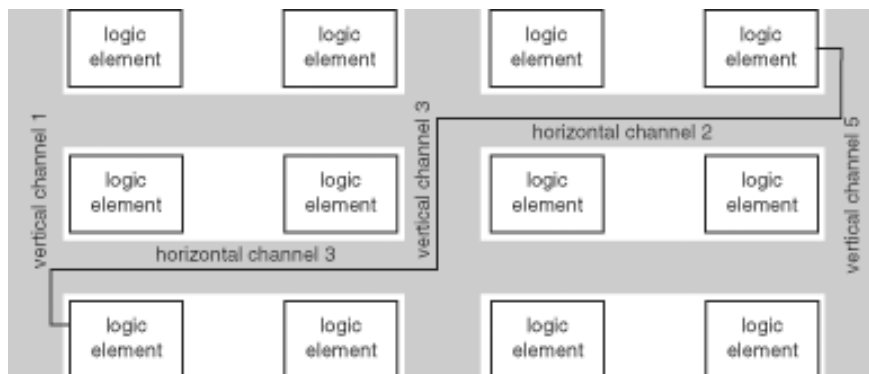
## Προγραμματιζόμενο σημείο διασύνδεσης

33



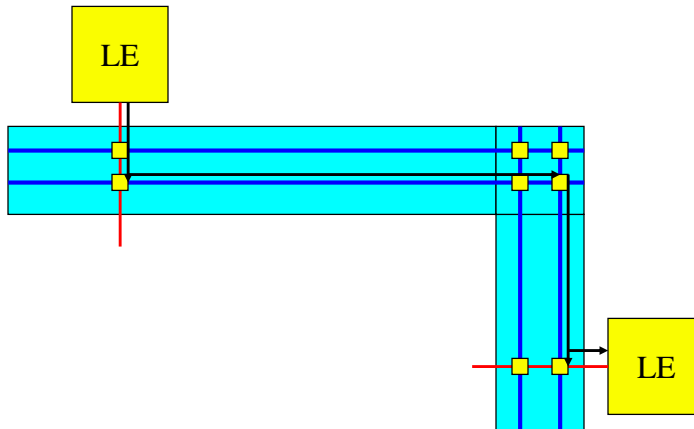
## Προγραμματιζόμενα μονοπάτια καλωδίωσης

34



## Επιλογή μονοπατιού

35



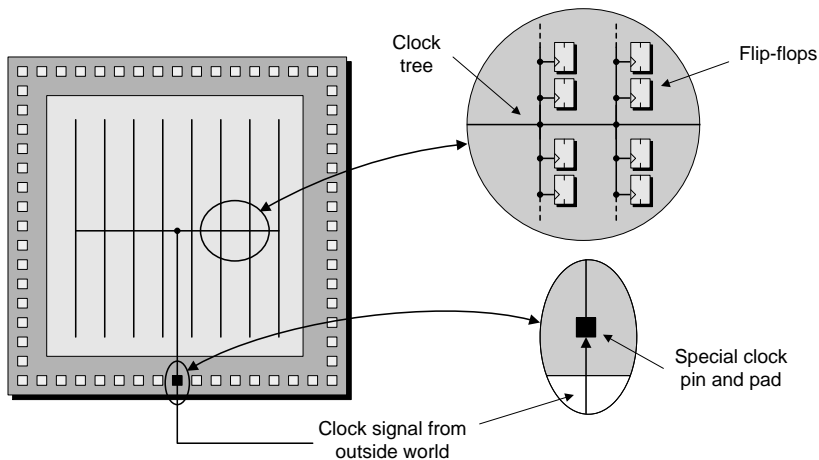
## Προβλήματα δρομολόγησης

36

- Σφαιρική δρομολόγηση:
  - ποιος συνδυασμός καναλιών;
- Τοπική δρομολόγηση:
  - ποιο καλώδιο σε κάθε κανάλι;
- Μετρικό σύστημα δρομολόγησης:
  - μήκος καλωδίου
  - καθυστέρηση

## Δέντρα ρολογιού (clock trees)

37



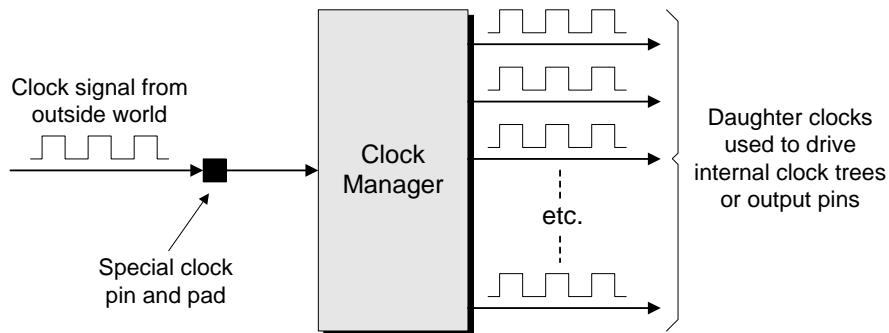
## Αποφυγή απόκλισης ρολογιού (clock skew)

38

- **Clock skew:**
  - ▣ Το σήμα ρολογιού δεν φτάνει ταυτόχρονα σε όλα τα flip-flop του κυκλώματος
  - ▣ Τα flip-flop που είναι πιο κοντά στον ακροδέκτη του ρολογιού δέχονται «νωρίτερα» το ρολόι
  - ▣ Από τα **κυριότερα σχεδιαστικά προβλήματα** και στα FPGAs και στα ASICs
- **Πώς αντιμετωπίζεται το πρόβλημα στα FPGAs;**
  - ▣ Δέντρα ρολογιού (clock trees)
  - ▣ Πολλαπλοί ακροδέκτες ρολογιού (clock pins)
  - ▣ Πολλαπλά πεδία ρολογιού (clock domains)

## Διευθυντές ρολογιού (clock managers)

39



## Clock managers

40

- Παράγουν ρολόγια που τροφοδοτούν είτε την εσωτερική λογική (δέντρα ρολογιού) είτε την εξωτερική λογική
- Παρέχουν κάποιες από τις ακόλουθες λειτουργίες
  - Αφαίρεση παραμόρφωσης χρονισμού (jitter removal)
  - Σύνθεση συχνότητας (frequency synthesis)
  - Ολίσθηση φάσης (phase shifting)
  - Διόρθωση αυτό-απόκλισης (auto-skew correction)

## Ακροδέκτες εισόδου/εξόδου (I/O pins)

41

- Βασική επιλογή:  
είσοδος, έξοδος, τρισταθής λογική
- Επιπλέον προγραμματιζόμενα χαρακτηριστικά:
  - ▣ καταχωρητής (register)
  - ▣ πρότυπα λογικής (logic standard)
  - ▣ ταχύτητα μετάβασης (edge rate)
  - ▣ αντίσταση τερματισμού (terminating resistor)

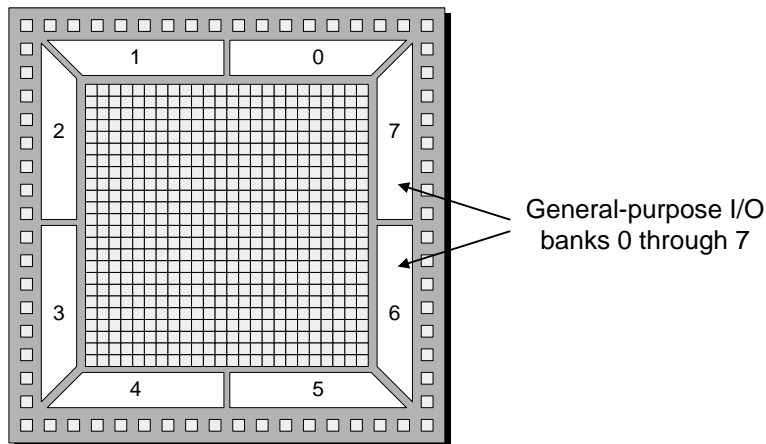
## Πρότυπα εισόδου/εξόδου (I/O standards)

42

- Ο σχεδιαστής πρέπει να επιλέξει ένα συγκεκριμένο πρότυπο I/O
  - ▣ Ηλεκτρικά χαρακτηριστικά των σημάτων, π.χ. επίπεδα λογικής 0 και 1
  - ▣ Ανάλογα με την εφαρμογή, τις συσκευές που επικοινωνεί το FPGA, κτλ.
- Ο σχεδιαστής μπορεί να χρειαστεί να επιλέξει διαφορετικό πρότυπο για διαφορετικά I/O

## Πολλαπλές συστοιχίες I/O (I/O banks)

43



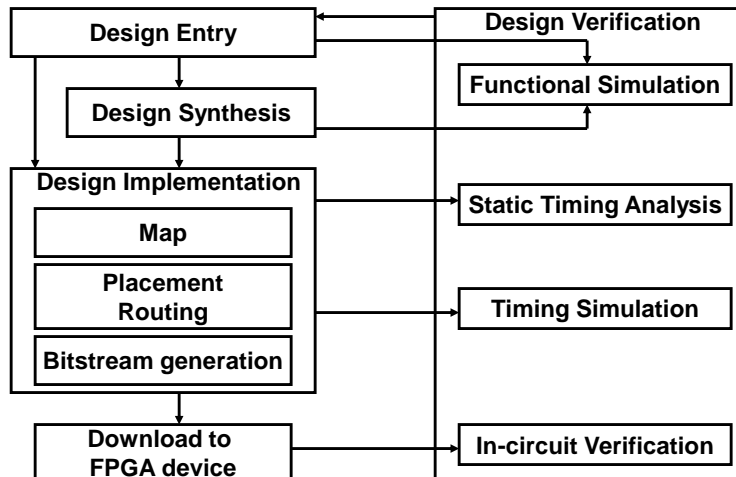
## Ενότητα 4

44

- Ροή σχεδίασης με τη χρήση FPGAs
- Ποια είναι τα βήματα της σχεδίασης ενός ψηφιακού κυκλώματος με τη χρήση ενός FPGA ;

## Ροής σχεδίασης με τη χρήση FPGAs

45



## Σύνθεση (synthesis)

46

- Σύνθεση & βελτιστοποίηση της σχεδίασης:
  - ▣ η περιγραφή συμπεριφοράς (behavioral description) μεταφράζεται σε περιγραφή δομής (structural netlist)
- Εργαλείο σύνθεσης:
  - ▣ από τον κατασκευαστή του FPGA
  - ▣ από ανεξάρτητο κατασκευαστή λογισμικού
- Μεταφραστές (netlist translators)
  - ▣ μεταφράζουν την περιγραφή δομής σε μορφή που υποστηρίζει το εργαλείο του κατασκευαστή

## Υλοποίηση (implementation)

47

- **Αντιστοίχιση (map)**
  - Πώς τεμαχίζουμε τη συνάρτηση σε λογικά στοιχεία;
  - Πώς υλοποιούμε μία λειτουργία στο εσωτερικό ενός λογικού στοιχείου;
- **Τοποθέτηση (placement)**
  - Πού τοποθετούμε κάθε κομμάτι λογικής στη διάταξη των λογικών στοιχείων;
- **Δρομολόγηση (routing)**
  - Ποιες καλωδιώσεις χρησιμοποιούνται για να συνδεθούν τα λογικά στοιχεία;

## Περιορισμοί (constraints)

48

- Μπορούμε να εισάγουμε περιορισμούς:
  - **στην αντιστοίχιση (mapping constraints)**
    - να καθορίσουμε τον τρόπο που ένα κομμάτι λογικής θα αντιστοιχηθεί σε ένα λογικό στοιχείο
  - **στην τοποθέτηση (placement constraints)**
    - να καθορίσουμε την ακριβή θέση (ή τις πιθανές θέσεις) ενός λογικού στοιχείου
  - **χρονικούς περιορισμούς (timing constraints)**
    - χρονικές προδιαγραφές για τα μονοπάτια της σχεδίασης (π.χ. περίοδο ρολογιού, καθυστέρηση από είσοδο σε καταχωρητή, καθυστέρηση από καταχωρητή σε έξοδο)



## Πιστοποίηση (verification)

49

- Η συνάρτηση και η απόδοση της σχεδίασης πιστοποιείται με τρεις τρόπους:
  - ▣ προσομοίωση (simulation)
    - προσομοίωση συνάρτησης
    - χρονική προσομοίωση
  - ▣ χρονική ανάλυση (timing analysis)
  - ▣ στο κύκλωμα (in-circuit verification)

## Προσομοίωση συνάρτησης (functional simulation)

50

- Πιστοποιεί την ορθότητα της σχεδίασης πριν υλοποιηθεί
- Εκτελείται στα πρώτα στάδια της σχεδίασης
  - ▣ είτε σε περιγραφή συμπεριφοράς είτε σε περιγραφή δομής
- Χρησιμοποιεί μοναδιαία καθυστέρηση (unit delay)
  - ▣ χρονική πληροφορία δεν είναι διαθέσιμη

## Χρονική προσομοίωση (timing simulation)

51

- Πιστοποιεί ότι η σχεδίαση λειτουργεί στην επιθυμητή ταχύτητα
- Εκτελείται μετά την υλοποίηση
- **Απαραίτητη**
  - ▣ καθορίζει τα κρίσιμα μονοπάτια κάτω από τις χειρότερες συνθήκες
  - ▣ ανιχνεύει χρονικές παραβιάσεις (setup, hold violations)

## Χρονική ανάλυση (timing analysis)

52

- Υπολογίζει τις καθυστερήσεις των μονοπατιών του κυκλώματος
- Εκτελείται μετά την υλοποίηση
- Χρήσιμη γιατί:
  - ▣ πιστοποιεί ότι η σχεδίαση ικανοποιεί τις χρονικές προδιαγραφές
  - ▣ πληροφορεί το σχεδιαστή για τα «αργά» μονοπάτια
  - ▣ προσφέρει υλικό για την τεκμηρίωση της σχεδίασης

## Πιστοποίηση στο κύκλωμα (in-circuit verification)

53

- Πιστοποιεί ότι η σχεδίαση λειτουργεί στην τελική εφαρμογή (κάτω από πραγματικές συνθήκες λειτουργίας)
- Οι κατασκευαστές παρέχουν εργαλεία για να βοηθήσουν την πιστοποίηση στο κύκλωμα

## Διαμόρφωση (configuration)

54

- Πρέπει να θέσει τα ψηφία ελέγχου για:
  - ▣ λογικά στοιχεία
  - ▣ σημεία διασύνδεσης
  - ▣ ακροδέκτες εισόδου/εξόδου
- Συνήθως διαμορφώνεται εκτός-λειτουργίας (off-line configuration)
  - ▣ ξεχωριστό στάδιο καψίματος (burn-in) – antifuse
  - ▣ κατά την εκκίνηση -- SRAM

## Επαναδιαμόρφωση (reconfiguration)

55

- Μερικές συσκευές FPGAs επιτρέπουν γρήγορη διαμόρφωση
  - ▣ μερικούς κύκλους ρολογιού, όχι χιλιάδες κύκλους ρολογιού
- Επιτρέπουν το υλικό να αλλάξει on-the-fly

## BACKUP

56

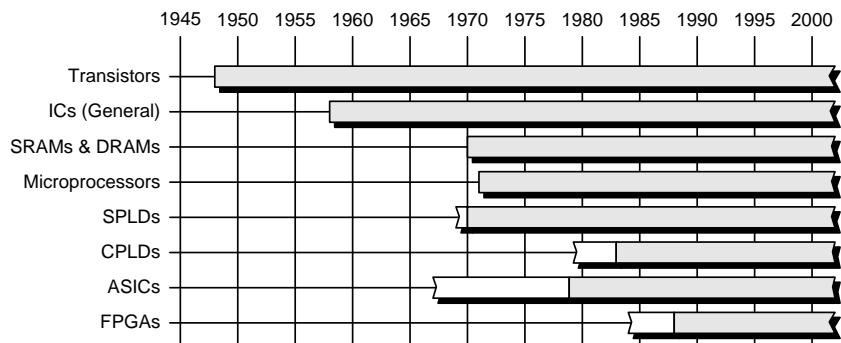
# Ενότητα 1

57

- Ιστορική αναδρομή στις προγραμματιζόμενες συσκευές λογικής
- Μια ματιά στους προγόνους των FPGAs

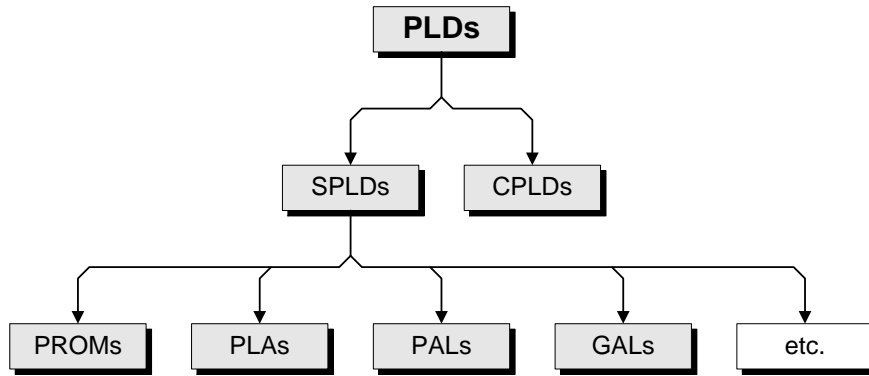
# Πρόέλευση των FPGAs

58



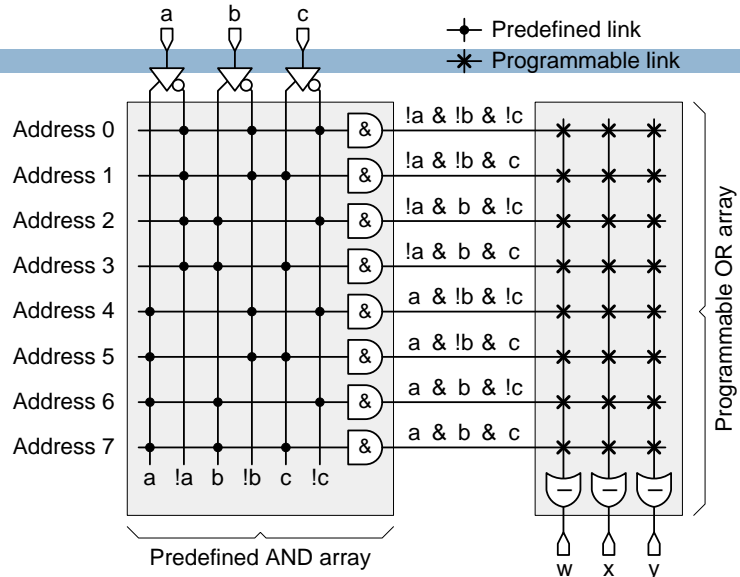
# Προγραμματιζόμενες συσκευές λογικής

59



# PROM: Programmable ROM

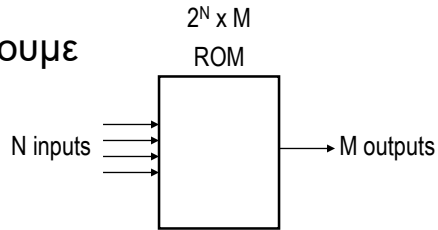
60



# PROM

61

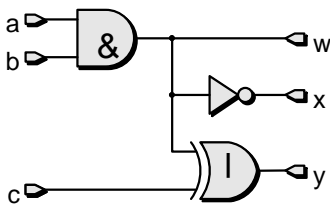
- Μπορούμε να υλοποιήσουμε M συναρτήσεις των N εισόδων σε αυτήν την PROM



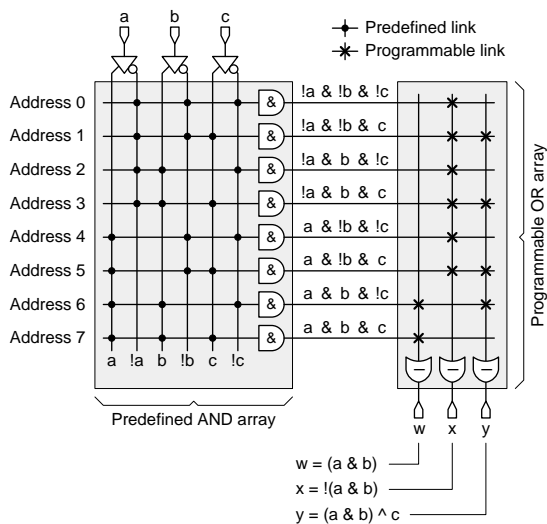
- ▣ Καθορίζουμε τον πίνακα αληθείας των συναρτήσεων που θέλουμε να προγραμματίσουμε
- ▣ Δεν υπάρχει λόγος να απλοποιήσουμε τις συναρτήσεις

# PROM: παράδειγμα

62

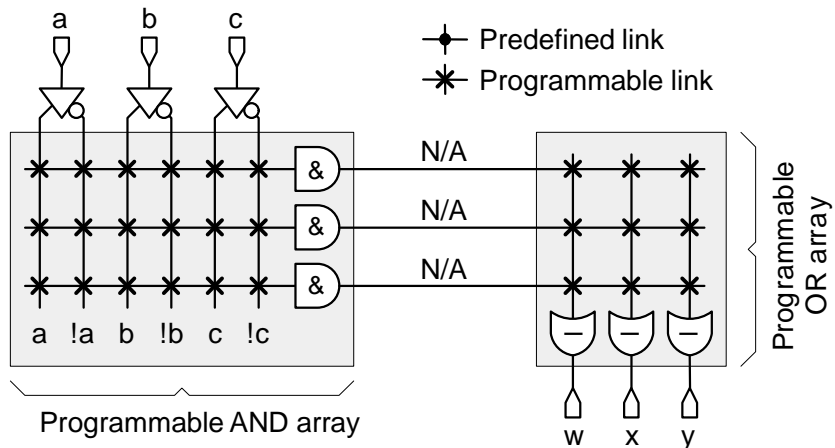


a	b	c	w	x	y
0	0	0	0	1	0
0	0	1	0	1	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	0	1	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	0	0



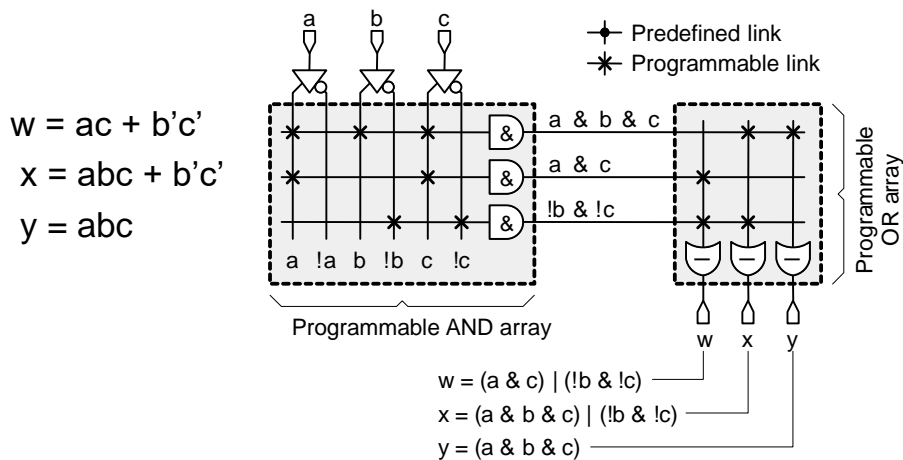
# PLA: Programmable Logic Array

63



## PLA: παράδειγμα

64

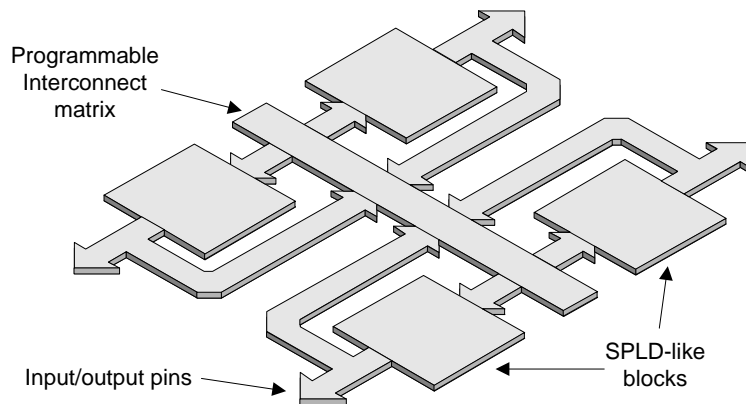




## CPLDs

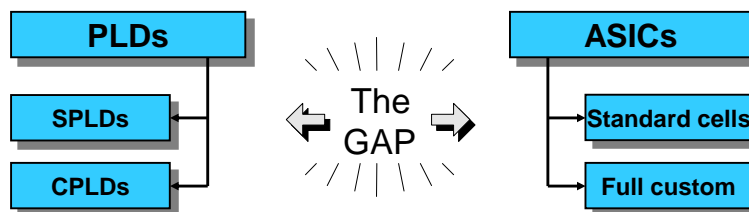
65

- CPLD = Complex Programmable Logic Device



## Το χάσμα

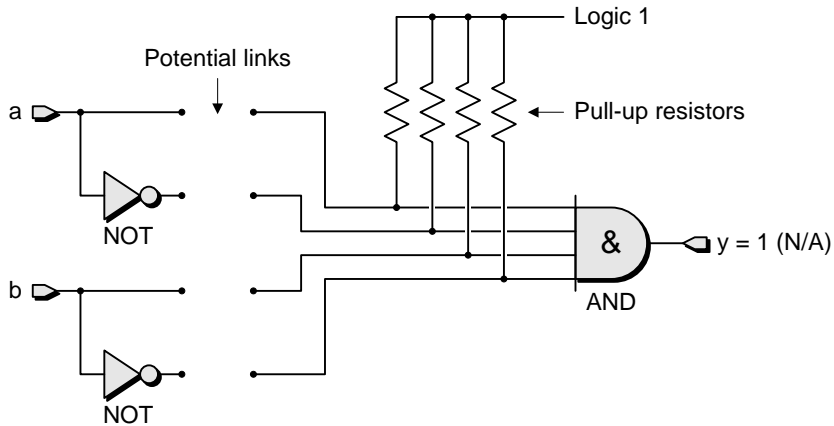
66



- Για να λύσει το πρόβλημα, η εταιρεία Xilinx ανέπτυξε μια νέα κλάση ICs, τα FPGAs (field-programmable gate arrays), τα οποία βγήκαν στην αγορά το 1984

## Μια απλή προγραμματιζόμενη συνάρτηση

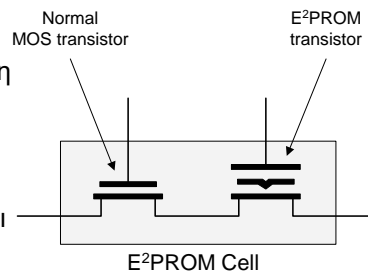
67



## Τεχνολογία EEPROM





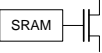
68

- Στην τεχνολογία EEPROM η διαγραφή γίνεται με ηλεκτρικό τρόπο
  - Μικρότερος χρόνος διαγραφής
- EEPROM κυψέλη
  - Μεγαλύτερη από μία EPROM κυψέλη
  - Περιέχει 2 transistors
  - Τα επίπεδα μόνωσης του EEPROM transistor είναι πιο λεπτά
  - Το δεύτερο transistor χρησιμοποιείται για να διαγράψει ηλεκτρικά την κυψέλη



## Τεχνολογίες προγραμματισμού

69

Τεχνολογία	Σύμβολο	Κυρίως σχετίζεται με ...
Fusible-link		SPLDs
Antifuse		FPGAs
EPROM		SPLDs και CPLDs
E <sup>2</sup> PROM/ FLASH		SPLDs και CPLDs (μερικά FPGAs)
SRAM		FPGAs (μερικά CPLDs)

## Γρήγορες αλυσίδες κρατουμένου (fast carry chains)

70

- Τα λογικά στοιχεία περιέχουν πρόσθετη λογική για να υλοποιούν γρήγορες αλυσίδες κρατουμένου (fast carry chains)
- Μπορούμε να συνδέσουμε τις αλυσίδες 2 LCs, στη συνέχεια 2 slices, στη συνέχεια 2 CLBs ώστε να επεκτείνουμε το μέγεθός τους
- Οι γρήγορες αλυσίδες κρατουμένου βελτιώνουν την απόδοση αριθμητικών κυκλωμάτων, π.χ. αθροιστών