

Άσκηση 2: Σχεδίαση Κυκλώματος Υπολογισμού Πολλαπλασίων του 3

Τρίτη, 6 Ιουνίου 2024

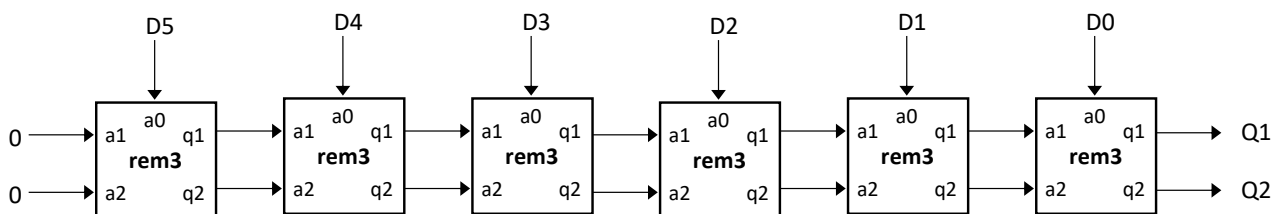
Εκφώνηση

Σχεδιάστε ένα κύκλωμα που υπολογίζει το υπόλοιπο της διαίρεσης ενός αριθμού των 6-bit με το 3. Το κύκλωμα θα δέχεται μία είσοδο D των 6-bit ($D_5 \dots D_0$) και θα τυπώνει στο 7-segment LED της πλακέτας το υπόλοιπο της διαίρεσης $D \div 3$. Για την υλοποίηση του κυκλώματος θα ακολουθήσετε την μέθοδο που περιγράφεται παρακάτω.

Μπορούμε να υπολογίσουμε εάν ένας αριθμός των N -bit είναι πολλαπλάσιος του 3 με έναν επαναληπτικό τρόπο, ελέγχοντας κάθε φορά ένα bit της εισόδου και ξεκινώντας από τα αριστερά (MSB). Θα χρησιμοποιήσουμε την μονάδα `rem3` που φαίνεται στο παρακάτω σχήμα. Για κάθε bit σχηματίζουμε έναν αριθμό 3-bit που προκύπτει ενώνοντας τα 2 bit που έχουν υπολογιστεί από το προηγούμενο bit (έξοδοι της μονάδας `rem3` του προηγούμενου σταδίου) και το τρέχων bit (D_i) και υπολογίζουμε το υπόλοιπο της διαίρεσης αυτού του αριθμού των 3-bit με το 3. Το υπόλοιπο της διαίρεσης είναι 2-bit ($q_2 q_1$) και μπορεί να πάρει τιμή 0, 1 ή 2. Αυτό το υπόλοιπο προωθείται προς τα δεξιά για τον υπολογισμό του υπολοίπου του επόμενου bit. Όταν φτάσουμε στο τελευταίο bit (LSB), θα έχουμε υπολογίσει το συνολικό υπόλοιπο της διαίρεσης του αριθμού με το 3. Οι τελικές έξοδοι $Q_2 Q_1$ αναπαριστούν το υπόλοιπο της διαίρεσης. Επομένως, η μονάδα `rem3` λαμβάνει ως είσοδο έναν αριθμό των 3-bit ($a_2 a_1 a_0$) και παράγει ως έξοδο ($q_2 q_1$) το υπόλοιπο της διαίρεσης αυτού του αριθμού με το 3: το υπόλοιπο μπορεί να πάρει τιμές 0, 1 ή 2.

Θα υλοποιήσετε το κύκλωμα με 2 τρόπους:

- Χρησιμοποιώντας δομική περιγραφή (structural description). Αρχικά, θα πρέπει να υλοποιήσετε την οντότητα/αρχιτεκτονική της μονάδας `rem3` με περιγραφή συμπεριφοράς (behavioral description) και χρήση διεργασίας (process). Έπειτα, σε μια άλλη VHDL entity να περιγράψετε με δομική περιγραφή (structural description) το συνολικό κύκλωμα, όπως φαίνεται στο παρακάτω σχήμα.
- Χρησιμοποιώντας διεργασία (process) και εντολή βρόχου for (for loop statement).



Για την είσοδο D , προτείνεται να χρησιμοποιήσετε τον τύπο `STD_LOGIC_VECTOR`.

Για την είσοδο D χρησιμοποιήστε 8 διακόπτες (slide switches) της πλακέτας.

Την έξοδο υπολοίπου ($Q_2 Q_1$) να την απεικονίσετε σε ένα 7-segment LED της πλακέτας.

Εξέταση

- Η εργασία θα εξεταστεί την **Πέμπτη 13 Ιουνίου 2024** (στο τέλος του εργαστηριακού μαθήματος).
- Μπορείτε να δοκιμάσετε την εργασία σας στην πλακέτα είτε την μέρα του προηγούμενου εργαστηριακού μαθήματος είτε την μέρα της εξέτασης.
- Επιτρέπονται οι συνεργασίες μεταξύ φοιτητών, αλλά η εξέταση και η βαθμολόγηση είναι ατομική.
- ΔΕΝ χρειάζεται να παραδώσετε κάποια τεκμηρίωση ή σχεδιαστικά αρχεία. Θα πρέπει να έχετε μαζί σας κατά την εξέταση τα σχεδιαστικά αρχεία (το Vivado project).
- Θα εξεταστείτε πάνω στην συγκεκριμένη άσκηση (θα γίνουν ερωτήσεις για το VHDL μοντέλο που υλοποιήσατε), καθώς και το εργαλείο σχεδίασης.

Για απορίες επικοινωνήστε με:

mpsarak@unipi.gr

ioanna.souvatz@hotmail.com